

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 28 日  
Application Date

申請案號：092107052  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 5 日  
Issue Date

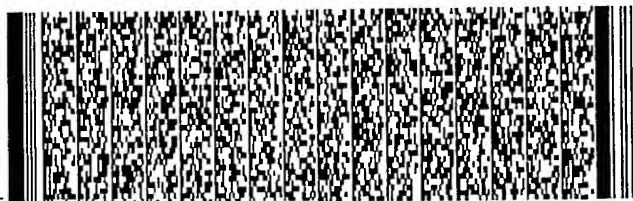
發文字號：09220438410  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	降低溝槽深寬比的方法
	英 文	Method of Reducing The Trench Aspect Ratio
二、 發明人 (共3人)	姓 名 (中文)	1. 吳昌榮 2. 吳聖雄 3. 陳逸男
	姓 名 (英文)	1. Chang-Rong Wu 2. Seng-Hsiung Wu 3. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市民生路一段28-9號26樓 2. 屏東市德豐街97號 3. 台北市北投區義理街63巷2弄22號1樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：降低溝槽深寬比的方法)

本發明揭示一種降低溝槽深寬比的方法。提供具有一溝槽之一基底。然後，利用高密度電漿化學氣相沉積法，形成一順應的氧化層於溝槽的表面上。接著，形成一順應的氮化層於氧化層上。之後，形成一光阻層於溝槽中，並覆蓋部分氮化層，其中光阻層表面低於基底表面至少1000埃。然後，以光阻層為罩幕，去除部分氮化層。之後，去除光阻層。然後，利用一緩衝氧化矽蝕刻液蝕刻去除氮化層與部分氧化層，而形成一剩餘的氧化層於槽溝之下側周圍壁上，而能降低溝槽深寬比。

伍、(一)、本案代表圖為：第9圖。

(二)、本案代表圖之元件代表符號簡單說明：

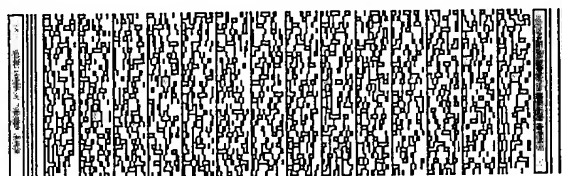
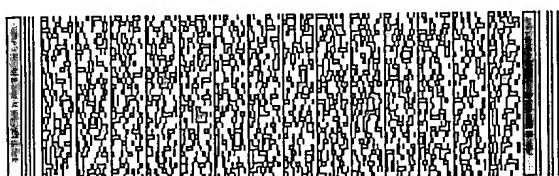
200~半導體基底；

205~遮蔽層；

210~墊氧化層；

六、英文發明摘要 (發明名稱：Method of Reducing The Trench Aspect Ratio)

A method of reducing the trench aspect ratio. A substrate having a trench is provided. A conformal oxide layer is formed on the surface of the trench by HDPCVD. A conformal nitride layer is formed on the oxide layer. A photoresist layer is formed in the trench; wherein the surface of the photoresist layer is lower at least 1000 angstrom than the surface of the substrate. Using the



四、中文發明摘要 (發明名稱：降低溝槽深寬比的方法)

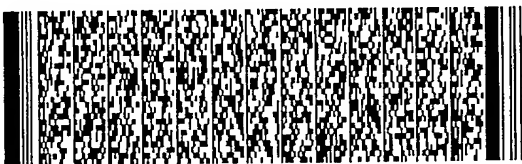
220~氮化矽層；

310~槽溝；

410'~剩餘的第一氧化層。

六、英文發明摘要 (發明名稱：Method of Reducing The Trench Aspect Ratio)

photoresist layer as a mask, part of the nitride is etched. The photoresist layer is removed. By using BOE, the nitride layer and part of the oxide layer are removed to form a remaining oxide layer on the lower surface of the trench. Thus, the aspect ratio of the trench is reduced.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬技術領域】

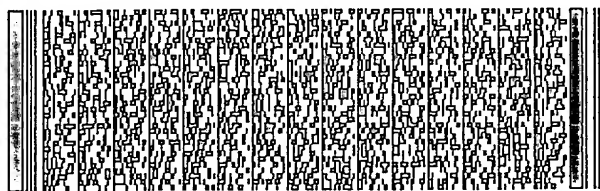
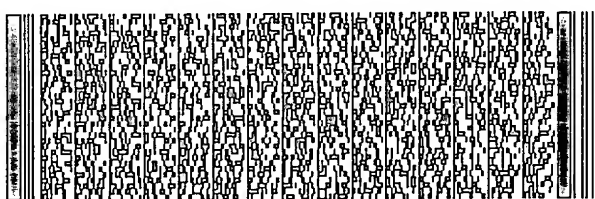
本發明係有關於半導體積體電路的製造，且特別是有關於一種降低溝槽深寬比(reduce the trench aspect ratio)的方法。

### 【先前技術】

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，元件的尺寸也因積集度的提昇而不斷地縮小，生產線上使用的線路寬度已進入了次微米的細小範圍。然而，無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須有適當地絕緣或隔離，方可得到良好的元件性質。這方面的技術一般稱為元件隔離技術(device isolation technology)，其主要目的係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，儘量縮小隔離物的區域，以空出更多的晶片面積來容納更多的元件。

在各種元件隔離技術中，局部矽氧化方法(LOCOS)和溝槽隔離(isolation trench)製程是最常被採用的兩種技術，尤其後者具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。

目前在業界的製程中，為了提昇溝槽之沉積技術之步驟覆蓋能力，常使用一種高密度電漿化學氣相沈積(HDPCVD)技術藉以改善氧化層(即絕緣層)填入溝槽的效果。為了進一步清楚說明該技術的內容，以下即參照第1A



## 五、發明說明 (2)

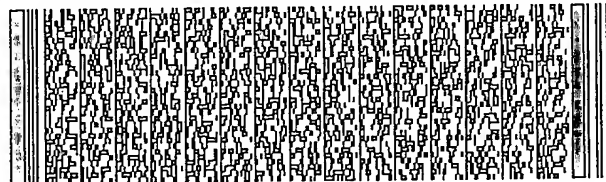
至1B圖，說明其製造流程。

首先，請參見第1A圖，在一半導體基底10上形成一遮蔽層，例如是在一矽晶圓表面上，以化學氣相沈積法(CVD)或熱氧化成長法形成一厚度介於 $50\text{ \AA}$ ~ $150\text{ \AA}$ 的墊氧化層(pad oxide layer)12，然後在墊氧化層12表面上，以CVD法沈積一厚度介於 $800\text{ \AA}$ ~ $1500\text{ \AA}$ 的氮化矽層14，二者共同構成遮蔽層。接著，以微影顯像(photolithography)和蝕刻程序，定義出氮化矽層14和墊氧化層12的圖案，用以露出半導體基底10欲形成元件隔離區的部分。

其次，請參見第1B圖，利用該氮化矽層14和墊氧化層12的圖案當作罩幕，施行一蝕刻程序而在半導體基底10中形成溝槽15。然後，以熱氧化程序(thermal oxidation)成長一薄氧化層16，覆蓋在溝槽15的底部和側壁上，用以當作襯裡(liner)，其厚度約為 $180\sim 220\text{ \AA}$ 。接著，施行高密度電漿化學氣相沈積程序，例如使用 $\text{O}_2$ 和 $\text{SiH}_4$ 當作反應物，而沈積一二氧化矽層18，並填滿溝槽15，得到如第1B圖所示之構造。

然而，請參見第1C圖，第1C圖係習知製程方法的缺點示意圖。當該溝槽15的開口寬度越小且深寬比越大時，例如當該溝槽15的深寬比大於4時，則目前的高密度電漿化學氣相沈積程序所沉積的二氧化矽層19就很容易會有孔洞20的發生，而影響淺溝槽隔離區的絕緣特性。

## 【發明內容】



#### 五、發明說明 (3)

有鑑於此，本發明之目的係提供一種降低溝槽深寬比的方法，至少包括下列步驟：

提供一基底；

形成一溝槽於該基底中；

利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第一氧化層於該溝槽的表面上；

形成一順應的第一氮化層於該第一氧化層上；

去除部分該第一氮化層，使得該第一氮化層表面低於該基底表面至少1000埃(Å)；以及

利用一緩衝氧化矽蝕刻液(BOE)蝕刻去除該第一氮化層與部分該第一氧化層，而形成一剩餘的第一氧化層於該溝槽之下側周圍壁上。

之後，可更包括進行至少一輪下述步驟之循環，其步驟包括：

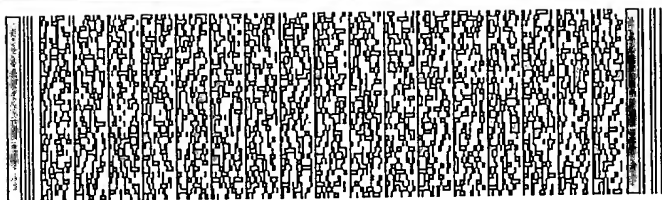
利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第二氧化層於具有該剩餘的第一氧化層的該溝槽內；

形成一順應的第二氮化層於該第二氧化層上；

去除部分該第二氮化層，使得該第二氮化層表面低於該基底表面至少1000埃；以及

利用該緩衝氧化矽蝕刻液(BOE)蝕刻去除該第二氮化層與部分該第二氧化層，而形成一剩餘的第二氧化層於該剩餘的第一氧化層上。

因此，本發明的方法可以降低溝槽深寬比，而有利於形成無孔洞缺陷的溝槽隔離區。





#### 五、發明說明 (4)

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

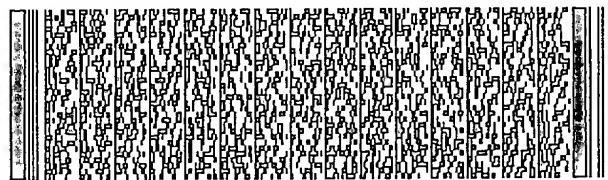
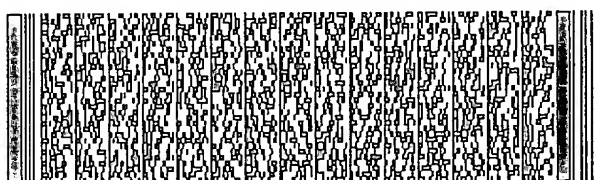
##### 【實施方式】

首先，請參見第2圖，在一半導體基底200上形成一遮蔽層(或稱墊堆疊，pad stack)205，其例如是在一矽晶圓表面上，以CVD法或熱氧化成長法形成一厚度例如是100 Å的墊氧化層210，而該墊氧化層210例如是SiO<sub>2</sub>層，然後在該墊氧化層210表面上，以化學氣相沉積法(CVD)法沈積一厚度例如是900 Å的氮化矽層220。接著，以微影蝕刻製程，定義出由該氮化矽層220和該墊氧化層210圖案所構成的該遮蔽層205，用以露出半導體基底200欲形成元件隔離區的部分。

其次，請參見第3圖，利用該遮蔽層205當作罩幕(mask)，施行一蝕刻程序而在該基底200中形成一溝槽310，其深度例如是介於2600 Å和5000 Å之間。

之後，可更包括進行一襯裡層製程(linear process)，例如通常以熱氧化法順應性地形成一薄氧化層(未圖示)於該溝槽310的底部和側壁上，其厚度約為180 Å~220 Å。而該薄氧化層例如是SiO<sub>2</sub>層，用以當作襯裡(liner)層。為了方便說明本發明，在此省略該襯裡層之圖示與詳細說明。

其次，請參見第4圖，利用高密度電漿化學氣相沉積



#### 五、發明說明 (5)

法(HDPCVD)，形成一順應的第一氧化層410於該溝槽310的表面上，其中該第一氧化層410的厚度係200~300 Å。在這裡要強調的是，HDPCVD法所形成該第一氧化層410的結構相當緻密。還有，該第一氧化層410例如係二氧化矽( $\text{SiO}_2$ )層。此外，此步驟之高密度化學氣相沉積法例如是使用 $\text{SiH}_4$ 和 $\text{O}_2$ 當作反應物，而其操作條件例如係 $\text{SiH}_4 : \text{O}_2 = 1 : 1.5 \sim 2$ 、溫度係550~650 °C、壓力係約5m Torr。

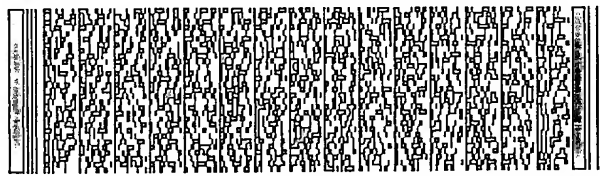
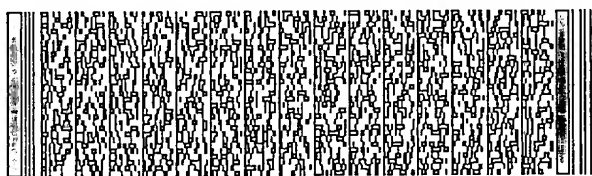
其次，仍請參見第4圖，例如利用低壓化學氣相沈積法(LPCVD)，形成一順應的第一氮化層420於該第一氧化層410上，其中該第一氮化層420的厚度係40~50 Å。還有，該氮化層係氮化矽( $\text{Si}_3\text{N}_4$ )層。

其次，請參見第5圖與第6圖，形成一光阻層510(即能量感應層，為說明方便，以下皆使用光阻層一詞)填滿該溝槽310，然後部分回蝕該光阻層510而形成一第一光阻層510'(即：剩餘的第一光阻層)於該溝槽310中，並覆蓋部分該第一氮化層420，其中該第一光阻層510'表面低於該基底200表面(上方表面)至少1000埃(Å)，亦即第6圖中的符號"d"之尺寸至少是1000埃(Å)。

其次，請參見第7圖，以該第一光阻層510'為罩幕，去除部分該第一氮化層420，使得剩餘的該第一氮化層420'表面低於該基底200表面至少1000埃(Å)。

之後，請參見第8圖，去除該第一光阻層510'，露出該第一氮化層420'。

其次，請參見第9圖，利用一緩衝氧化矽蝕刻液



##### 五、發明說明 (6)

(buffer oxide etcher, BOE) 蝕刻去除該第一氮化層420' 與部分該第一氧化層410，而形成一剩餘的第一氧化層410' 於該槽溝310之下側周圍壁上，其中該緩衝氧化矽蝕刻液(BOE)對該第一氧化層410的蝕刻速率約係280~320 Å/分，而該緩衝氧化矽蝕刻液(BOE)對該第一氮化層420' 的蝕刻速率約係8~12 Å/分。此外，該緩衝氧化矽蝕刻液(BOE)的組成係由氟化銨(40%NH<sub>4</sub>F)、氫氟酸(49%HF)以及純水(DI)所組成，其體積比例約係5:1:48。如此，根據上述本發明之方法，即降低了該槽溝310之深寬比。

在此舉一例，用以驗證本發明方法降低槽溝深寬比之效果。請參見第9圖，經由上述本發明製程之後，假設：  
 $p=1000 \text{ Å}$ 、 $w=800 \text{ Å}$ 、 $h1=2650 \text{ Å}$ 、 $h2=2900 \text{ Å}$ 、 $h3=250 \text{ Å}$ 、 $h4=2000 \text{ Å}$ 、 $x1=200 \text{ Å}$ 、 $x2=400 \text{ Å}$

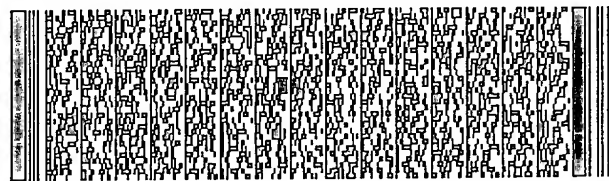
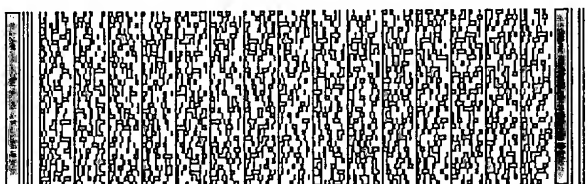
原始溝槽深寬比  $AR=(h2+p)/w=(2900+1000)/800=4.87$

經由本發明製程之後的溝槽深寬比

$$\begin{aligned} AR' &= AR * [(h1-h4)*x2 + (h4+p)*w] / [(h2+p)*w] \\ &= 4.87 * [(650*400 + 3000*800) / (3900*800)] \\ &= 4.14 \end{aligned}$$

因此，以上證明了本發明製程降低了槽溝深寬比。

此外，這裡要強調的是，當該槽溝310的深寬比很大時，則可依製程上的需要，在形成該剩餘的第一氧化層410' 於該槽溝310之下側周圍壁上之後，可以再仿照類似第4~9圖之製程，更進行至少一輪下述步驟之循環(cycle)，用以再度地減少該溝槽310的深寬比，該步驟包括：



## 五、發明說明 (7)

步驟(1)，係類似第4圖般地，利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第二氮化層(未圖示)於具有該剩餘的第一氧化層410'的該溝槽310內；

步驟(2)，係類似第4圖般地，利用低壓化學氣相沈積法(LPCVD)，形成一順應的第二氮化層(未圖示)於該第二氧化層(未圖示)上；

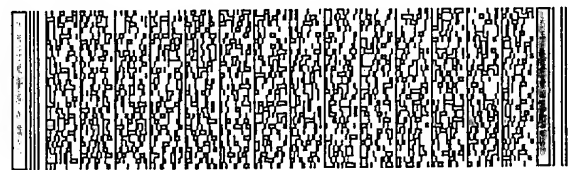
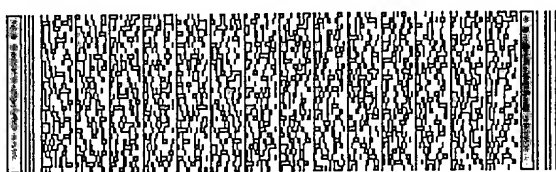
步驟(3)，係類似第5、6圖般地，經由沉積與部分回蝕製程，形成一第二光阻層(未圖示)於該溝槽310中，並覆蓋部分該第二氮化層(未圖示)，其中該第二光阻層(未圖示)表面低於該基底表面至少1000埃(Å)；

步驟(4)，係類似第7圖般地，以該第二光阻層(未圖示)為罩幕，去除部分該第二氮化層(未圖示)；

步驟(5)，係類似第8圖般地，去除該第二光阻層(未圖示)；

步驟(6)，係類似第9圖般地，利用該緩衝氧化矽蝕刻液(BOE)蝕刻去除該第二氮化層(未圖示)與部分該第二氧化層(未圖示)，而形成一剩餘的第二氧化層(未圖示)於該剩餘的第一氧化層410'上，而能再度地減少該溝槽310的深寬比。

然後，請參見第10圖，以高密度化學氣相沉積法或TEOS(四乙氧基矽烷)化學氣相沉積法形成一例如是 $\text{SiO}_2$ 層的絕緣層1010填滿該溝槽310，並且延伸至該氮化矽層220上。這裡要特別說明的是，由於上述本發明方法降低該溝槽310原來的深寬比，使更容易達成無孔洞(void-free)溝



## 五、發明說明 (8)

槽隔離區之沉積製程。

之後，請參見第11圖，例如使用化學機械研磨(CMP)之平坦化製程去除部分該絕緣層1010而形成平坦化的該絕緣層1010'，並以該氮化矽層220為該平坦化製程之終點。

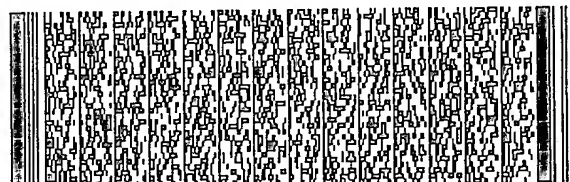
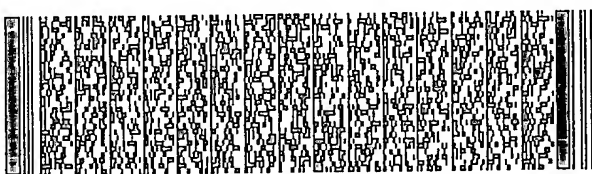
接著，請參見第12圖，例如以磷酸溶液去除該氮化層220，以氟酸溶液去除該墊氧化層210，而形成無孔洞之該溝槽隔離區1210。

### 【本發明特徵及優點】

本發明特徵在於：利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第一氧化層於該溝槽的表面上，然後形成一順應的第一氮化層於該第一氧化層上，然後去除部分該第一氮化層，使得該第一氮化層表面低於該基底表面至少1000埃(Å)，然後利用一緩衝氧化矽蝕刻液(BOE)蝕刻去除該第一氮化層與部分該第一氧化層，而形成一剩餘的第一氧化層於該槽溝之下側周圍壁上。

根據本發明，使得單一U型槽溝變成雙U型槽溝，而能夠降低溝槽深寬比，提升後續絕緣層之填充能力，使更容易達成無孔洞(void-free)溝槽隔離區之沉積製程，而有利於形成無孔洞缺陷的溝槽隔離區。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範



五、發明說明 (9)

圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A至1B圖係習知之形成溝槽隔離區的製造流程剖面示意圖；

第1C圖係習知之形成溝槽隔離區的缺點示意圖；

第2至12圖係本發明實施例之形成溝槽隔離區的製造流程剖面示意圖。

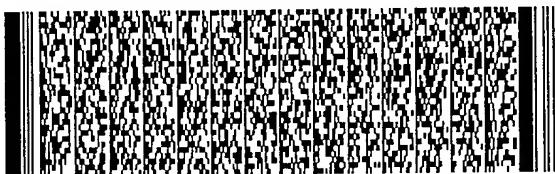
[符號說明]：

習知部分(第1A至1C圖)

- 10~半導體基底；
- 12~墊氧化層；
- 14~氮化矽層；
- 15~槽溝；
- 16~薄氧化層；
- 18、19~二氧化矽層；
- 20~孔洞。

本案部分(第2至12圖)

- 200~半導體基底；
- 205~遮蔽層；
- 210~墊氧化層；
- 220~氮化矽層；
- 310~槽溝；
- 410~第一氧化層；
- 410'~剩餘的第一氧化層；



圖式簡單說明

420~第一氮化層；

420'~剩餘的第一氮化層；

510~光阻層；

510'~第一光阻層(即：剩餘的第一光阻層)；

1010~絕緣層；

1010'~經平坦化的絕緣層；

1210~溝槽隔離區。





## 六、申請專利範圍

1. 一種降低溝槽深寬比的方法，包括下列步驟：

提供一基底；

形成一溝槽於該基底中；

利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第一氧化層於該溝槽的表面上；

形成一順應的第一氮化層於該第一氧化層上；

去除部分該第一氮化層，使得該第一氮化層表面低於該基底表面；以及

利用一緩衝氧化矽蝕刻液(BOE)蝕刻去除該第一氮化層與部分該第一氧化層，而形成一剩餘的第一氧化層於該溝槽之下側周圍壁上。

2. 如申請專利範圍第1項所述之降低溝槽深寬比的方法，更包括進行至少一輪下述步驟之循環，該步驟包括：

利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第二氧化層於具有該剩餘的第一氧化層的該溝槽內；

形成一順應的第二氮化層於該第二氧化層上；

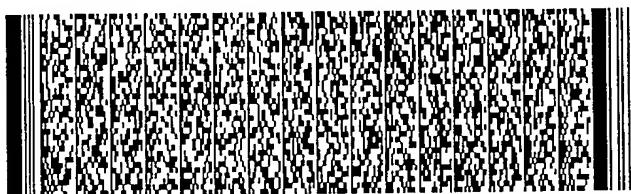
去除部分該第二氮化層，使得該第二氮化層表面低於該基底表面；以及

利用該緩衝氧化矽蝕刻液(BOE)蝕刻去除該第二氮化層與部分該第二氧化層，而形成一剩餘的第二氧化層於該剩餘的第一氧化層上。

3. 一種降低溝槽深寬比的方法，包括下列步驟：

(a) 提供一基底；

(b) 形成一溝槽於該基底中；



## 六、申請專利範圍

(c) 利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第一氧化層於該溝槽的表面上；

(d) 形成一順應的第一氮化層於該第一氧化層上；

(e) 形成一第一光阻層於該溝槽中，並覆蓋部分該第一氮化層，其中該第一光阻層表面低於該基底表面；

(f) 以該第一光阻層為罩幕，去除部分該第一氮化層；

(g) 去除該第一光阻層；以及

(h) 利用一緩衝氧化矽蝕刻液(BOE)蝕刻去除該第一氮化層與部分該第一氧化層，而形成一剩餘的第一氧化層於該槽溝之下側周圍壁上。

4. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中，在該步驟(h)之後，更包括進行至少一輪下述步驟之循環，該步驟包括：

(i) 利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第二氧化層於具有該剩餘的第一氧化層的該溝槽內；

(j) 形成一順應的第二氮化層於該第二氧化層上；

(k) 形成一第二光阻層於該溝槽中，並覆蓋部分該第二氮化層，其中該第二光阻層表面低於該基底表面；

(l) 以該第二光阻層為罩幕，去除部分該第二氮化層；

(m) 去除該第二光阻層；以及

(n) 利用該緩衝氧化矽蝕刻液(BOE)蝕刻去除該第二氮



#### 六、申請專利範圍

化層與部分該第二氧化層，而形成一剩餘的第二氧化層於該剩餘的第一氧化層上。

5. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中在步驟(e)中，該第一光阻層表面低於該基底表面至少1000埃。

6. 如申請專利範圍第4項所述之降低溝槽深寬比的方法，其中在步驟(k)中，該第二光阻層表面低於該基底表面至少1000埃。

7. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中形成該槽溝的步驟，包括：

形成一圖案化的遮蔽層於該基底表面上；以及

以該圖案化的遮蔽層為罩幕，蝕刻該基底而形成該溝槽於該基底中。

8. 如申請專利範圍第7項所述之降低溝槽深寬比的方法，其中該遮蔽層係包括一墊氧化層和一氮化矽層。

9. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中在該步驟(c)之前，更包括順應性地形成一襯裡(linear)層於該溝槽的底部和側壁上。

10. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該第一氧化層係二氧化矽( $\text{SiO}_2$ )層。

11. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該氮化層係經由低壓化學氣相沈積法(LPCVD)所形成的氮化矽( $\text{Si}_3\text{N}_4$ )層。

12. 如申請專利範圍第3項所述之降低溝槽深寬比的方



#### 六、申請專利範圍

法，其中該緩衝氧化矽蝕刻液(BOE)對該氧化層的蝕刻速率大抵係280~320埃/分，而該緩衝氧化矽蝕刻液(BOE)對該氮化層的蝕刻速率大抵係8~12埃/分。

13. 如申請專利範圍第12項所述之降低溝槽深寬比的方法，其中該氧化層的厚度係200~300埃，而該氮化層的厚度係40~50埃。

14. 一種降低溝槽深寬比的方法，包括下列步驟：

(a) 提供一矽基底；

(b) 形成一溝槽於該矽基底中；

(c) 利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第一氧化層於該溝槽的表面上，其中該第一氧化層的厚度係200~300埃(Å)；

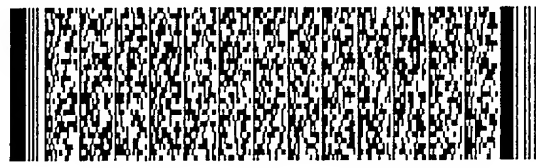
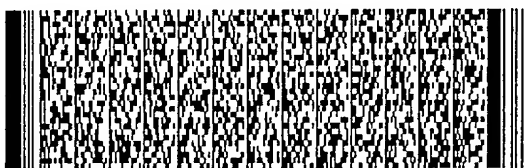
(d) 利用低壓化學氣相沈積法(LPCVD)，形成一順應的第一氮化層於該第一氧化層上，其中該第一氮化層的厚度係40~50埃；

(e) 形成一第一光阻層於該溝槽中，並覆蓋部分該第一氮化層，其中該第一光阻層表面低於該矽基底表面至少1000埃；

(f) 以該第一光阻層為罩幕，去除部分該第一氮化層；以及

(g) 去除該第一光阻層；

(h) 利用一緩衝氧化矽蝕刻液(BOE)蝕刻去除該第一氮化層與部分該第一氧化層，而形成一剩餘的第一氧化層於該槽溝之下側周圍壁上，其中該緩衝氧化矽蝕刻液(BOE)



## 六、申請專利範圍

對該第一氧化層的蝕刻速率係280~320埃/分，而該緩衝氧化矽蝕刻液(BOE)對該第一氮化層的蝕刻速率係8~12埃/分。

15. 如申請專利範圍第14項所述之降低溝槽深寬比的方法，其中，在該步驟(h)之後，更包括進行至少一輪下述步驟之循環，該步驟包括：

(i) 利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的第二氧化層於具有該剩餘的第一氧化層的該溝槽內；

(j) 利用低壓化學氣相沈積法(LPCVD)，形成一順應的第二氮化層於該第二氧化層上；

(k) 形成一第二光阻層於該溝槽中，並覆蓋部分該第二氮化層，其中該第二光阻層表面低於該矽基底表面至少1000埃；

(l) 以該第二光阻層為罩幕，去除部分該第二氮化層；

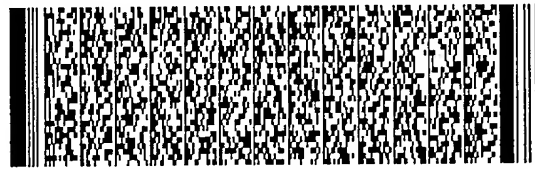
(m) 去除該第二光阻層；以及

(n) 利用該緩衝氧化矽蝕刻液(BOE)蝕刻去除該第二氮化層與部分該第二氧化層，而形成一剩餘的第二氧化層於該剩餘的第一氧化層上。

16. 如申請專利範圍第14項所述之降低溝槽深寬比的方法，其中形成該槽溝的步驟，包括：

形成一圖案化的遮蔽層於該矽基底表面上；以及

以該圖案化的遮蔽層為罩幕，蝕刻該矽基底而形成該



#### 六、申請專利範圍

溝槽於該矽基底中。

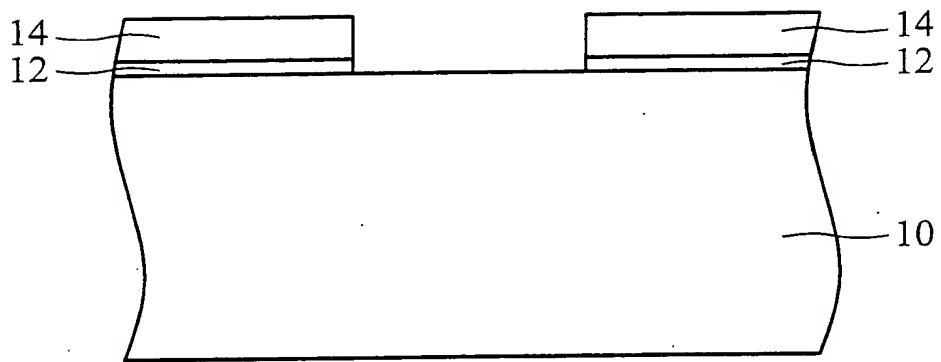
17. 如申請專利範圍第16項所述之降低溝槽深寬比的方法，其中該遮蔽層係包括一墊氧化層和一氮化矽層。

18. 如申請專利範圍第14項所述之降低溝槽深寬比的方法，其中在該步驟(c)之前，更包括順應性地形成一襯裡(linear)層於該溝槽的底部和側壁上。

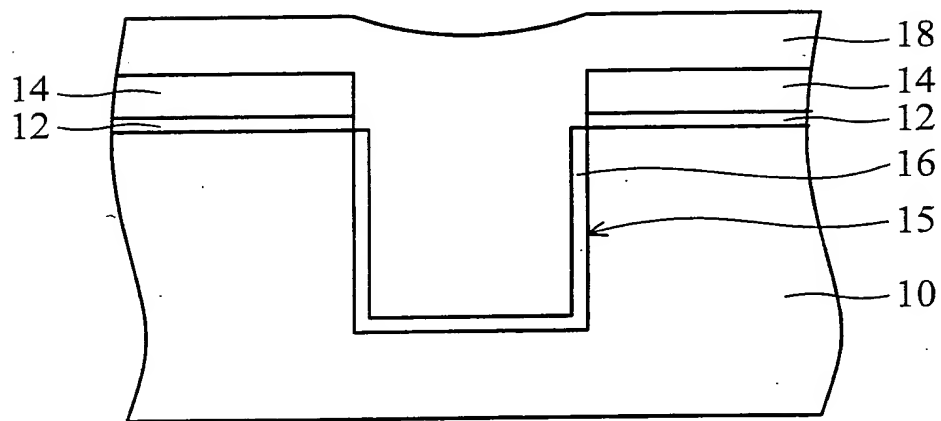
19. 如申請專利範圍第14項所述之降低溝槽深寬比的方法，其中該第一氧化層係二氧化矽( $\text{SiO}_2$ )層。

20. 如申請專利範圍第14項所述之降低溝槽深寬比的方法，其中該氮化層係氮化矽( $\text{Si}_3\text{N}_4$ )層。

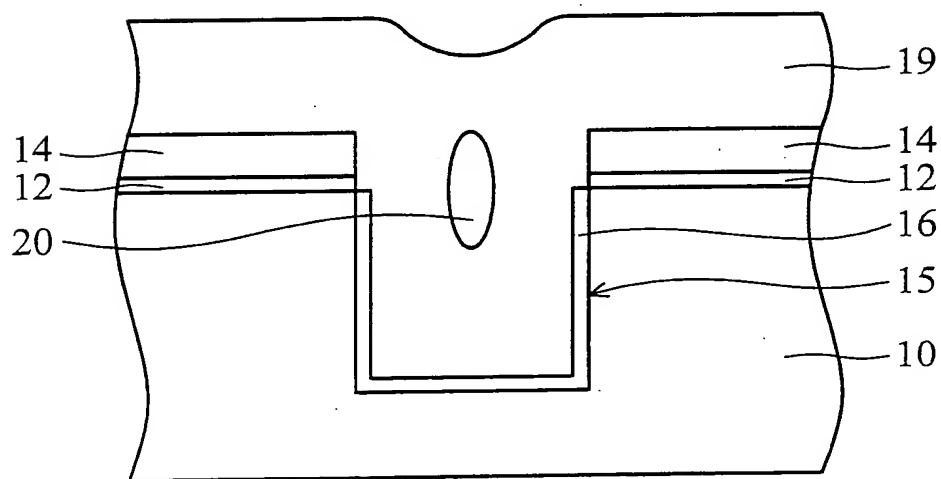




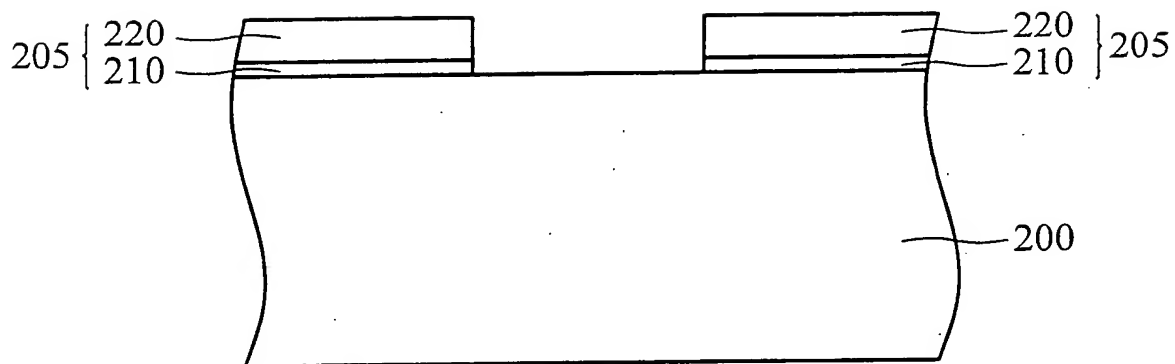
第 1A 圖



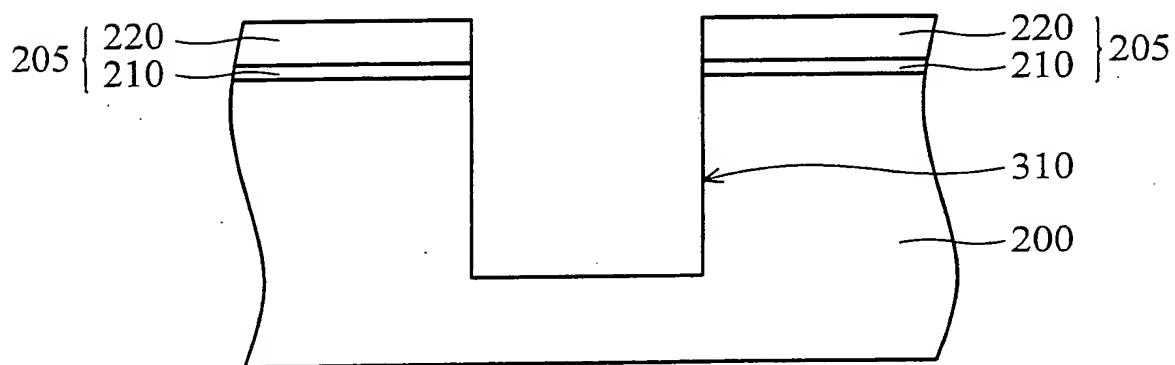
第 1B 圖



第 1C 圖

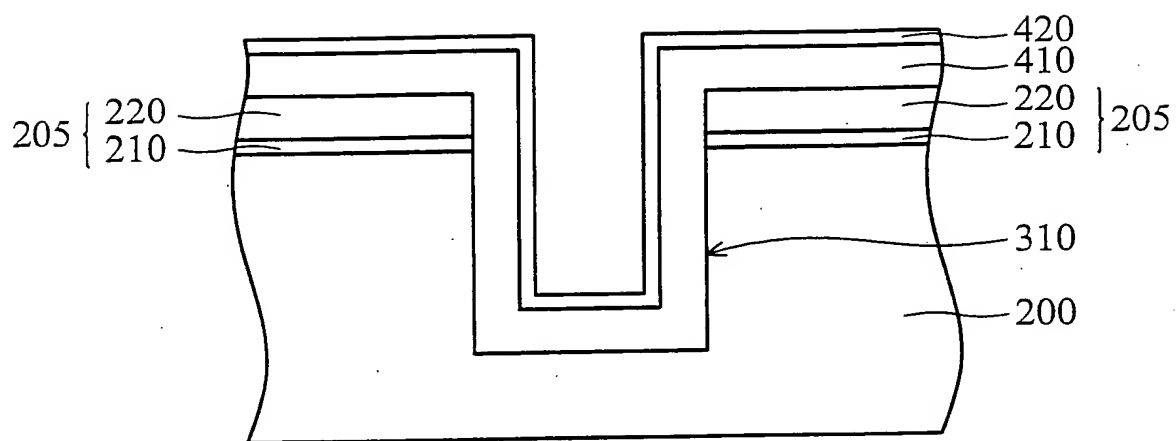


第 2 圖

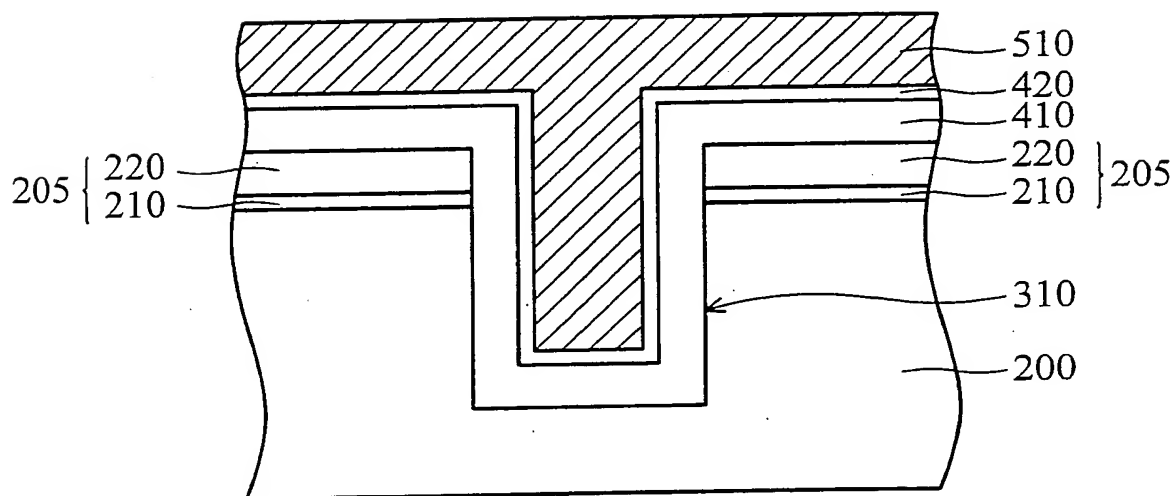


第 3 圖

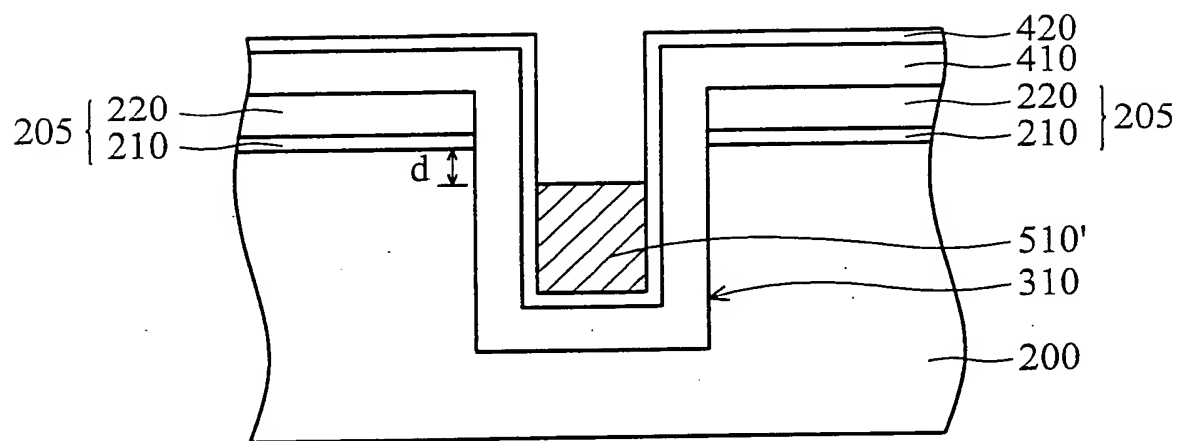




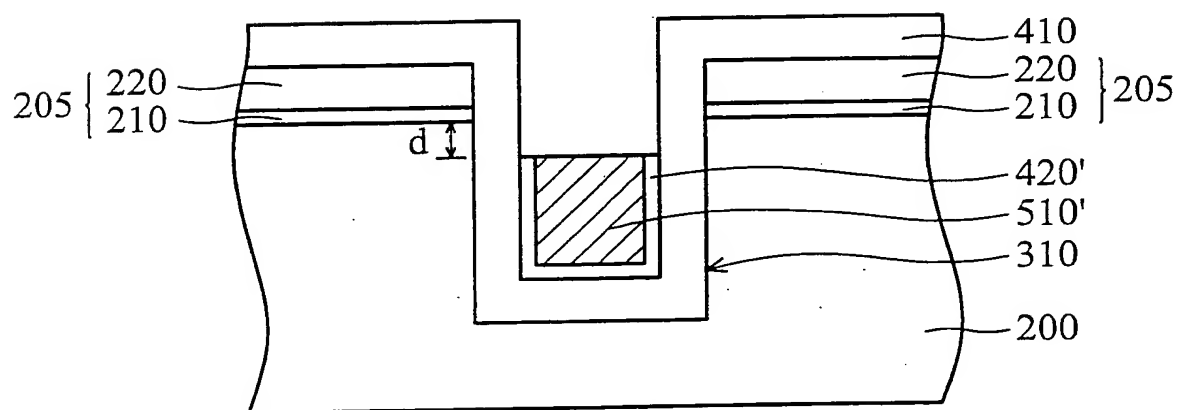
第 4 圖



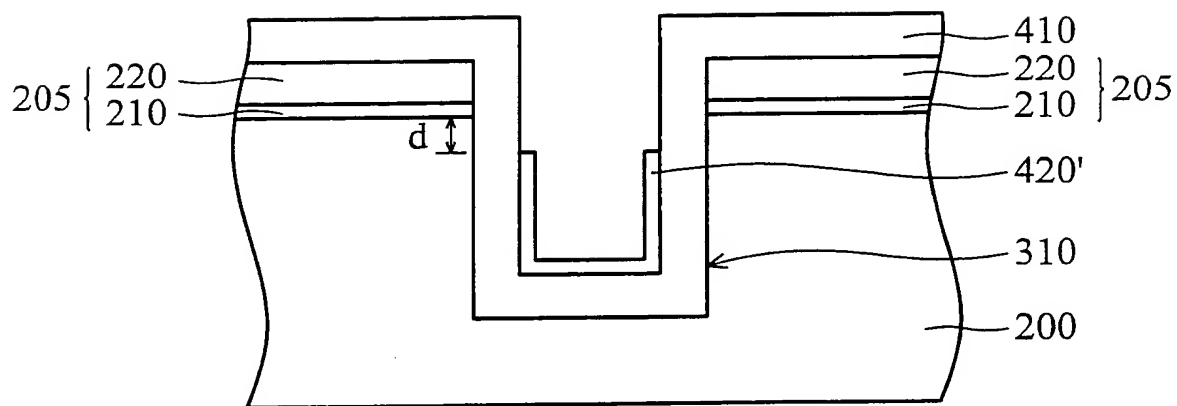
第 5 圖



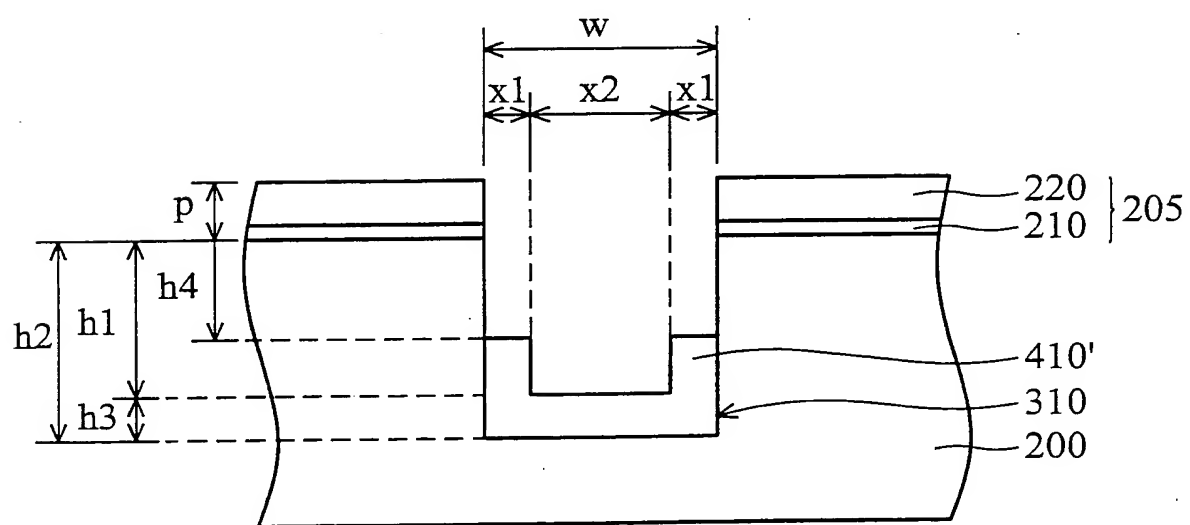
第 6 圖



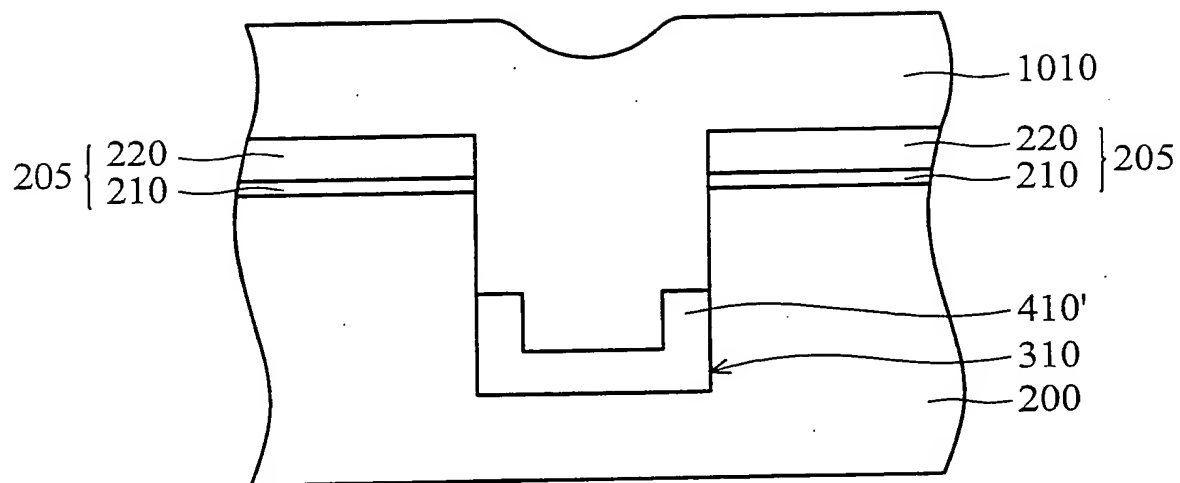
第 7 圖



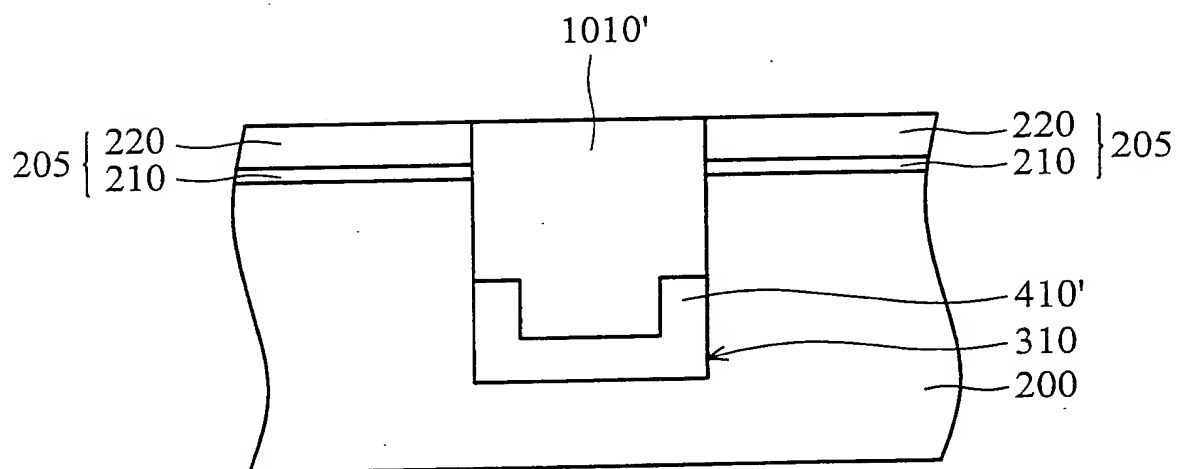
第 8 圖



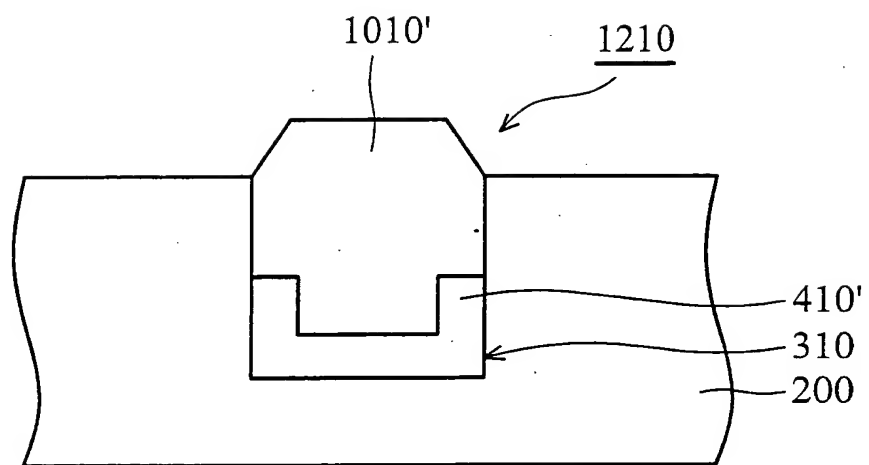
第 9 圖



第 10 圖



第 11 圖



第 12 圖

第 1/21 頁



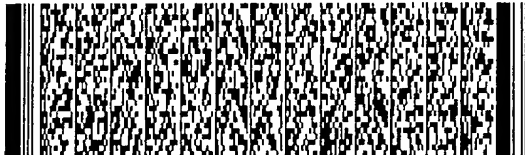
第 2/21 頁



第 2/21 頁



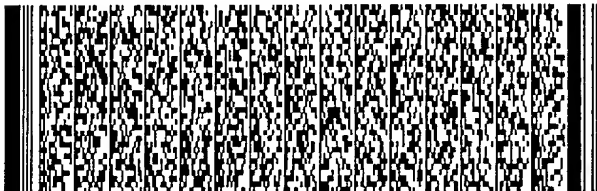
第 3/21 頁



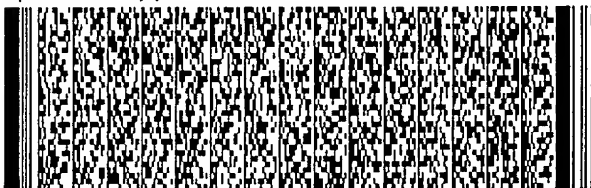
第 4/21 頁



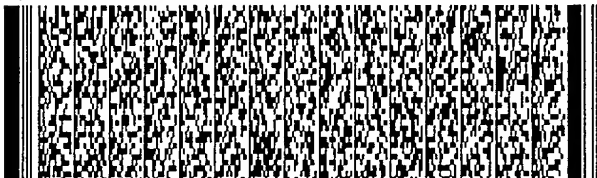
第 5/21 頁



第 5/21 頁



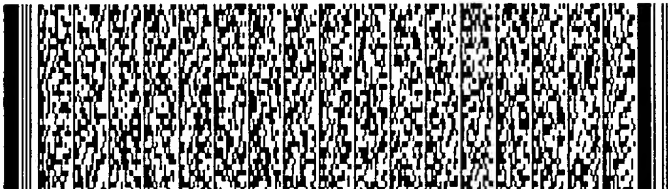
第 6/21 頁



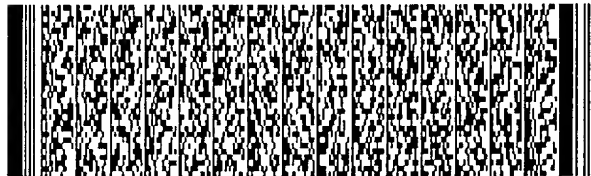
第 6/21 頁



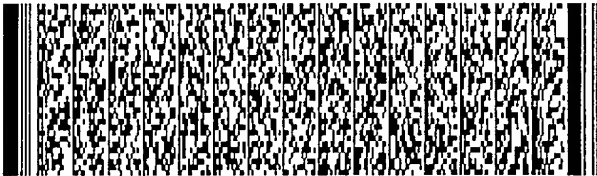
第 7/21 頁



第 8/21 頁



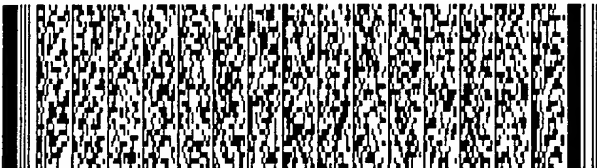
第 8/21 頁



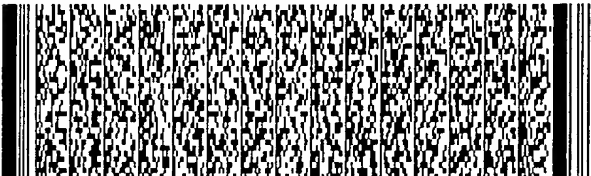
第 9/21 頁



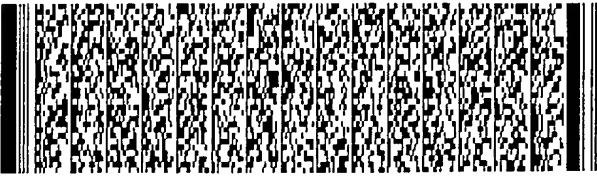
第 9/21 頁



第 10/21 頁



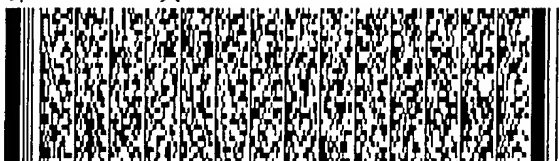
第 10/21 頁



第 11/21 頁



第 11/21 頁



第 12/21 頁



第 12/21 頁



第 13/21 頁



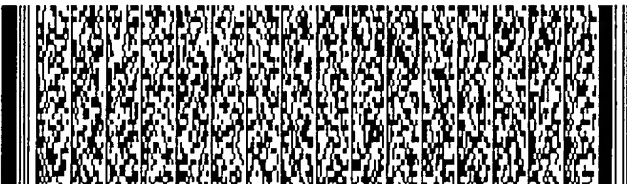
第 14/21 頁



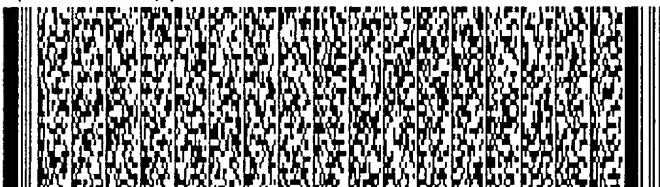
第 15/21 頁



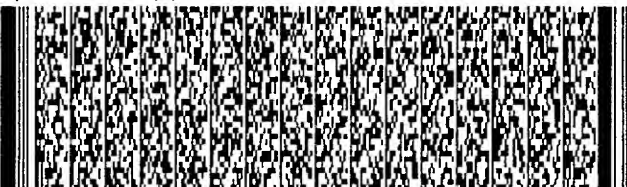
第 16/21 頁



第 17/21 頁



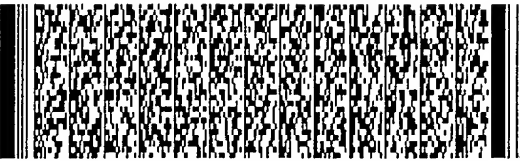
第 18/21 頁



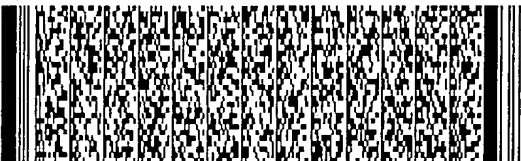
第 19/21 頁



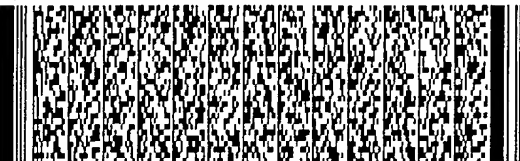
第 19/21 頁



第 20/21 頁



第 20/21 頁



第 21/21 頁

